**Шифратор**

***Шифратор*** (CD — CoDer — кодер) — это устройство, осу-ществляющее преобразование десятичных чисел (позиционный или унитарный код) в двоичный код. Шифратор имеет m входов, пронумерованных десятичными числами (0, 1, 2... *m* – 1) и *n* вы-ходов, причем 2n ≥*m*. Подача управляющего сигнала на один из входов приводит к появлению на выходе *n*-разрядного двоичного числа, соответствующего номеру возбужденного входа.

Шифраторы широко применяются в устройствах автомати-ки, особенно в устройствах ввода/вывода информации. На кла-виатуре ввода имеются клавиши с десятичными цифрами, бук-венный алфавит, а при нажатии клавиши позиционный код дол-жен преобразоваться в двоичный**.**

Рассмотрим вариант построения шифратора для случая, ко-гда при нажатии кнопки вырабатывается сигнал с активным уровнем, соответствующим логической 1. Имеем десятичный по-зиционный код x0, x1,... x9, образуемый набором из 10 клавиш, пронумерованных 0–9. Необходимо получить нормально взве-шенный код 8-4-2-1 — y8, y4, y2, y1, соответствующий номеру на-жатой кнопки. Чтобы получить логические выражения для вы-ходных сигналов, воспользуемся таблицей истинности (табл. 5.1).

Таблица 5.1

|  |  |  |
| --- | --- | --- |
| *N* | Входные сигналы | Выходной код |
| x0 | x1 | x2 | x3 | x4 | x5 | x6 | x7 | x8 | x9 | y8 | y4 | y2 | y1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |

60

Решение задачи в общем виде в случае десяти переменных представляется весьма трудным. Однако решение задачи упрощает-ся, так как исходная функция принимает единичное значение в каж-дой строке всего лишь один раз. Нетрудно заметить, что выходные сигналы можно получить дизъюнкцией входных переменных:

y8 = x8+x9;

y4 = x4+x5+x6+x7; y2 = x2+x3+x6+x7;

y1 = x1+x3+x5+x7+x9.

Судя по полученным выражениям, входной сигнал x0 не участвует в формировании выходного кода. Отсутствие сигнала на любом из остальных входов x1 – x9 указывает на то, что уста-новлен нулевой набор.

При реализации шифратора на элементах ИЛИ-НЕ, выход-ные сигналы окажутся инвертированными (рис. 5.1, *а*). На рис. 5.1, *б* представлено условное графическое обозначение дан-ного шифратора, здесь символ CD образован из букв, входящих в английское слово CODER. Входной сигнал x0 на условном изо-бражении шифратора отсутствует, поскольку не участвует в фор-мировании сигналов выхода.

|  |  |  |
| --- | --- | --- |
|  | y2 |  |
|  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 |  |  | y4 |  |
|  |  |
|  |

|  |  |  |
| --- | --- | --- |
| x0 x1x2x3x4x5 x6 x7 x8 x9 |  |  |
|  |  |  |  |  |  |  |  |  |  |  |
|  | 1 |  |  | y1 |
|  |  |
| y8 |
| 11 |

3

6

7

x

9

x

7

x

5

3

x

y

x1 1 СD

x2 2 1 1 x4 4 2 y2

x6 5 4 y4

x8 8 8 y8 *а* 9 *б*

Рис. 5.1 — Функциональная схема (*а*) и условное графическое обозначение шифратора (*б*)

Пример интегральной микросхемы приоритетного шифратора приведен на рис. 5.2. Микросхема К555ИВ3 имеет 9 инверсных вхо-дов для подачи кодируемого сигнала и 4 инверсных выхода кода 8-4-2-1. В исходном состоянии на всех входах и выходах логическая 1.

61

При подаче на любой из входов логического 0 на выходе форми-руется инверсный код номера этого входа. Если логический 0 по-дан сразу на несколько входов, код на выходе соответствует наи-большему номеру входа, на который подан логический 0.

|  |  |  |
| --- | --- | --- |
|  | 1 2 3 4 5 6 7 8 9 | CD8421 |
|  |
|  |
|  |

Рис. 5.2 — Приоритетный шифратор К555ИВ3

**5.2** **Дешифратор**

***Дешифратор*** (DC — DeCoder — декодер) — преобразова-тель *n*-разрядного двоичного кода в унитарный код «1 из *m*». Ка-ждой кодовой комбинации на входах дешифратора соответствует активный уровень только на одном из выходов. Условное графи-ческое обозначение и таблица истинности полного дешифратора на два входа (*n* = 2) представлены на рис. 5.3. Логическая 1 (при активном высоком уровне на выходе) формируется на том выхо-де дешифратора, адрес которого соответствует набору двоичных сигналов на входах *А* и *В*. Выходной код носит название «один из четырех». По таблице истинности легко записать в СДНФ логиче-ские функции, связывающие сигналы на каждом выходе дешифра-тора с его входными сигналами (они показаны на рисунке). Для реализации дешифратора требуются логические элементы И и НЕ.

*A* *B*

|  |  |  |  |
| --- | --- | --- | --- |
|  | 2 1 | DC 0 1 2 3 |  |
|  |  |

*Y*0 *=* *AB* *Y* *=* *AВ* *Y*2 *=* *АВ* *Y*3 *=* *АВ*

1

*A* *B* *Y*0 *Y*1 *Y*2 *Y*3

0 0 1 0 0 0 0 1 0 1 0 0 1 0 0 0 1 0 1 1 0 0 0 1

Рис. 5.3 — Полный дешифратор на два входа

62

При наличии разрешающего входа *Е* (рис. 5.4, *а*) дешифра-тор можно использовать как ***демультиплексор*** — коммутатор сигнала с одного входа на несколько выходов. Сигнал, подавае-мый на вход *Е*, повторяется на том выходе *Y*i, адрес которого по-дан на входы *А* и *В*. При *Е* = 0 работа дешифратора запрещена (на всех выходах устройства логический 0). Реализация демуль-типлексора на логических элементах показана на рис. 5.4, *б*.

|  |  |  |
| --- | --- | --- |
|  |  | &&&& |
|  |
|  |

*A* *B*

*E*

*E* *Y*0

*Y*0 *A* 1 *Y*1

|  |  |
| --- | --- |
| DC 0 2 1 1 23 E |  |
|  |
|  |

*Y*

1

*Y*2 *B* 1 *Y*2 *Y*3 *Y*3

*а* Рис. 5.4 — Демультиплексор *б*

Интегральные микросхемы дешифраторов/демультиплексо-ров часто имеют инверсные выходы, а также группу разрешаю-щих входов (прямых и инверсных), объединенных логикой И (рис. 5.5).

К555ИД7 К1533ИД3 К155ИД10

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 1 2 4& E | DC | 0 1 2 3 45 6 7 |  |  |
|  |
|  |

|  |  |  |  |
| --- | --- | --- | --- |
|  | DC1 0 2 1 4 . 8 .14 & 15E |  |  |
|  |
|  |

DC ~~◊~~1 0 2 1 4 ... 8

8 9

Рис. 5.5 — Примеры микросхем дешифраторов/демультиплексоров

При *E* *E* ⋅*E*2 ⋅*E*3 1 на входах управления микросхемы К555ИД7 логический 0 (активный уровень — низкий) формиру-ется на том выходе, код которого подан на информационные вхо-ды дешифратора.

1

63

Сигнал, подаваемый на один из входов *Е* демультиплексора К1533ИД3 при заземлении второго входа повторится на том вы-ходе микросхемы, код которого подан на адресные входы.

Дешифратор К155ИД10 имеет прямой четырехразрядный двоичный вход и десять инверсных выходов. К открытым коллек-торным выходам микросхемы можно подключать любые нагрузки, включая обмотку реле (15 В, 80 мА). Такую же функциональную схему имеет микросхема К155ИД1, предназначенная для управления цифровым газоразрядным индикатором (70 В, 7 мА).

**5.3** **Преобразователи** **двоичного** **кода** **в** **двоично-десятичный,** **и** **наоборот**

Микросхемы К155ПР6 и К155ПР7 служат для преобразова-ния двоично-десятичного кода в двоичный и наоборот. Микро-схемы являются постоянными запоминающими устройствами, программирование которых произведено на заводе-изготовителе. Одна микросхема К155ПР6 позволяет выполнить преобразование чисел 0–39 из двоично-десятичного кода в двоичный код. Разряд единиц не подвергается преобразованию, так как он совпадает в двоично-десятичном и двоичном кодах. Аналогично, одну мик-росхему К155ПР7 можно использовать для преобразования дво-ичного кода чисел 0–63 в двоично-десятичный. Как правило, раз-рядности одиночных микросхем недостаточно для решения задач преобразования многоразрядных кодов, в этих случаях применя-ют каскадное соединение микросхем (рис. 5.6, рис. 5.7).

Для преобразования двоично-десятичных кодов чисел 0–999 в двоичный требуется шесть, а чисел 0–9999 — девятнадцать микросхем К155ПР6, для преобразования двоичных кодов чисел 0–4095 и 0–65535 в двоично-десятичный — соответственно 8 и 16 микросхем К155ПР7.

Микросхемы К155ПР6 и К155ПР7 выполнены с открытым коллекторным выходом, поэтому для обеспечения помехоустой-чивой работы микросхем между их выходами и плюсом питания следует устанавливать нагрузочные резисторы 15,1 кОм. Эти резисторы на приведенных схемах не показаны. Вход разрешения работы микросхем *Е* (*CS*) должен быть подключен к общему про-воду, при подаче на него логической 1 все выходные транзисто-ры переходят в выключенное состояние.

64

1

2

4

8

16

32

64

128

*DD*2

|  |  |  |  |
| --- | --- | --- | --- |
|  | 2 X/Y481632E | 2481020 |  |
| *DD*12 X/Y 24 48 816 10 |  |  |
| *DD*32 X/Y 24 4 |
|  |

|  |  |  |
| --- | --- | --- |
|  | 32 20E 40 |  |
|  | 81632E | 81020 |
|  |  |
|  |
|  |
|  |

1

2

4

8

10

20

40

80

100

200

Рис. 5.6 — Преобразователь двоичного кода чисел от 0 до 255 в двоично-десятичный на микросхемах К155ПР7

SA1

SW 1 *DD*1 1 1 2 X/Y 2 2

1 4 4 4

SA2

SW

C

1

A 1 B 1 D 1 E 1

8 *DD*2

10 8 2 X/Y 2 8

20 16 4 4 16

E 32 8

10 8 32

20 16 64

E

Рис. 5.7 — Преобразователь двоично-десятичного кода чисел от 0 до 99 в двоичный на микросхемах К155ПР6

65

На рис. 5.7 показано устройство, формирующее на выходе двоичный код десятичного числа (от 00 до 99), набираемого на лимбах программного переключателя. Программный переключа-тель *SW* (ПП10-ХВ) представляет собой механическую систему, содержащую вращающийся диск с нанесенными на него метал-лизированными сегментами и скользящими по ним контактами. При заземленных контактах (вывод С) на выводах А, В, D, Е формируется инверсный двоично-десятичный код числа, наби-раемого на лимбе вращаемого диска. На лимбе переключателя SA2 набираются десятки, переключателя SA1 — единицы.

**5.4** **Дешифратор** **для** **управления** **семисегментным** **индикатором**

На рис. 5.8, *а* представлена схема подключения дешифрато-ра К514ИД1 для управления семисегментным цифровым индика-тором АЛС324А на светодиодах с объединенными катодными вы-водами (они соединены с общим выводом). При высоком потен-циале на входе *Е* (активные выходные уровни дешифратора — вы-сокие) ток порядка 5 мА протекает через светодиоды тех сегмен-тов, которые формируют изображение цифры от 0 до 9, двоично-десятичный код которой подан на входы микросхемы К514ИД1. На рис. 5.8, *б* приведено стандартное обозначение сегментов се-мисегментных преобразователей. Сегменты обозначаются латин-скими буквами a, b, c, d, e, f, g, а точка — буквой h.

К514ИД1

|  |  |  |
| --- | --- | --- |
|  | 1 2 4 8E | DC A B C D E F G |
|  |
|  |
|  |

*а*

АЛС324А

|  |  |
| --- | --- |
| A LED BC D E F G |  |
|  |  |  |
|  |

a

f g b

e c h d

*б*

Рис. 5.8 — Соединение дешифратора с 7-сегментным индикатором

66

При *Е* = 0 на выходах дешифратора устанавливаются низкие уровни, и все светодиоды гаснут.

При применении семисегментного цифрового индикатора на светодиодах с объединенными анодными выводами (например, АЛС324Б) на них подается внешний потенциал от источника пи-тания +5 В, а выводы A, B, C, D, E, F, G соединяются с соответ-ствующими выводами дешифратора К514ИД2 (активные выход-ные уровни дешифратора — низкие) через резисторы номиналом 330–510 Ом, с помощью которых можно управлять яркостью све-чения цифрового индикатора.

**5.5** **Преобразователи** **кода** **Грея**

В преобразователях аналоговых физических величин (на-пример, угла поворота вала) в цифровые сигналы с погрешно-стью, не превышающей значения младшего разряда, использует-ся код Грея (он соответствует непозиционной системе счисле-ния). Код Грея строится таким образом, что при переходе от од-ного числа к следующему изменяется всегда только один двоич-ный разряд. Таблица преобразования четырехразрядных двоич-ных чисел *Х* (*х*4*,* *x*3*,* *x*2*,* *x*1) в код Грея *G* (*g*4*,* *g*3*,* *g*2*,* *g*1) приведена ниже. Прямые и обратные преобразователи кода Грея в двоичный код реализуются с помощью логических элементов «Исключающее ИЛИ» (рис. 5.9). Код Грея не позволяет осуществлять арифметиче-ские операции. Поэтому его применяют только в тех случаях, когда это дает существенные преимущества, а затем переходят к двоич-ному коду.

67

*х*1 х2

*х*3

*х*4

*g*1

*g*2

*g*3 *g*4

=1

|  |  |
| --- | --- |
| =1 |  |
|  |

=1

=1

=1

|  |  |  |
| --- | --- | --- |
|  |  |  |
| =1 |

*g*1

*g*2

*а*

*g*3

*g*4

*х*1

*х*2

*б*

*х*3

*х*4

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *х*4 | *х*3 | *х*2 | *х*1 | *g*4 | *g*3 | *g*2 | *g*1 |
| 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 | 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 1 1 1 1 0 0 0 0 | 0 0 1 1 1 1 0 0 0 0 1 1 1 1 0 0 | 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 |

Рис. 5.9 — Схемы преобразования четырехразрядных кодов: *а* — двоичного в код Грея; *б* — кода Грея в двоичный код

**5.6** **Мультиплексор**

***Мультиплексором*** (от англ. multiplexer — многократный) называют коммутатор сигналов с нескольких входов на один вы-ход. Для коммутатора с четырех входов *Хi* на один выход *Y* (рис. 5.10, *а*) выходной сигнал связан с входными соотношением

 

*Y* *E* *X*0 *AB**X*1 *AB**X*2 *AB**X*3*AB* . (5.1)

Это выражение показывает путь реализации мультиплексора на логических элементах (рис. 5.10, *б*).

При наличии разрешения на входе *Е* (*Е* *=* 1) выход повто-ряет информацию того входа, код которого подан на адресные входы *А* и *В*. При *Е* *=* 0 коммутатор закрыт (*Y* *=* 0 независимо от сигналов на входах *Хi*).

Если цифровой код на адресных входах мультиплексора по-очередно перебирает все комбинации двоичных переменных на адресных входах, состояние на выходе последовательно повторя-

68

6

ет состояние всех его информационных входов (режим мульти-плексирования данных). В этом режиме мультиплексор выполня-ет преобразование параллельного двоичного кода на информаци-онных входах в последовательный код на его выходе.

*E*

*X*0 *X*1 *X*2 *X*3

*A* *B*

E MS

0

1 *Y* 2

3

2 1

*E*

*X*0

*X*1

*X*2

*X*3

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | &&& | 1 |
|  |
|  |  |
|  |
| & |

*Y*

*а*

Рис. 5.10 — Коммутатор сигналов с четырех входов на один выход

*A*

*B*

|  |  |
| --- | --- |
|  | 11 |
|  |  |
|  |

*б*

Микросхемы мультиплексоров отличаются по числу ин-формационных и адресных входов, наличием или отсутствием входа разрешения, характером выходных сигналов (прямые, ин-версные или парные). Примеры микросхем мультиплексоров се-рии К555 приведены на рис. 5.11.

К555КП2 К555КП7 К555КП15

 5 1.0 2MS 3 3.0

11 1.1

0.0

4

10

12

15

2.1

0.1

2.0

1

13 3.1

D.0 7

D.1 9

 4

0

3

1

13

6

4

2

2

2 1

15 3

14 5

12 7

MS

5

6

 4

0

3

1

13

6

4

2

1

2

2 1

15 3

14 5

12 7

MS

5

6

14

 2 2

1 E.0 E.1

11

10 9

7

1

4

E

11

10

9 4

7 ОE

Рис. 5.11 — Примеры микросхем мультиплексоров

69

Сдвоенный мультиплексор К555КП2 представляет собой два четырехканальных коммутатора с общим адресным дешиф-ратором. При логическом 0, поданном на вход Е.0, на выход D.0 проходит сигнал с одного из входов 0.0–3.0, адрес которого за-фиксирован на 2-й и 14-й ножках микросхемы. При логическом 0, поданном на вход Е.1, на выход D.1 проходит сигнал с одного из входов 0.1–3.1.

Мультиплексор К555КП7 имеет восемь информационных входов, три адресных, инверсный вход разрешения. У микросхе-мы два выхода — прямой и инверсный. При логическом 0 на входе Е сигнал на прямом выходе повторяет сигнал на том ин-формационном входе, номер которого совпадает с десятичным эквивалентом кода на входах 4, 2, 1 мультиплексора. Аналогично работает и микросхема К555КП15, но подача логической 1 на вход ОЕ переводит и прямой, и инверсный выходы в высокоим-педансное состояние.

Среди схем коммутации необходимо особо выделить уст-ройства, которые способны пропускать сигналы в обоих направ-лениях. К таким элементам относятся коммутационные схемы, выполненные по технологии КМОП с использованием двуна-правленных ключей. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие микросхемы выполняют функции мультиплексора-демультиплексора.